

文章编号 1004-924X(2010)06-1436-08

# 空间相机集成测试系统的时钟同步

穆 欣<sup>1,2</sup>, 胡 君<sup>1</sup>, 宋启昌<sup>1,2</sup>, 陈茂胜<sup>1,2</sup>, 徐抒岩<sup>1</sup>

- (1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033;
2. 中国科学院 研究生院, 北京 100039)

**摘要:**为实现空间相机地面集成测试系统中各专用设备精确时钟同步的要求,提出了一种以 GPS 卫星同步时钟为时钟源,将时间报文和脉冲信号相结合的综合对时方法。采用 FPGA 和 VHDL 设计了时间报文接收、脉冲对时、内部守时时钟及 PCI 本地控制逻辑等模块。利用 Windows 2000/XP 下的 WDM 框架开发了 PCI 总线驱动程序,实现时统卡与专用设备之间时间信息的实时传输。设计了微秒级延时的秒脉冲作备用秒输入,解决了系统工作时因 GPS 卫星同步时钟意外断电引起时间信息中断的技术问题。示波器测试结果表明,专用设备之间的同步时间精度 $\leq 10 \mu\text{s}$ ;时间准确度 $\leq 10 \mu\text{s}$ 。半年运行测试验证表明,精确时钟同步系统稳定、可靠,满足空间相机集成测试系统的实时对时需要。

**关键词:**空间相机;精确时钟同步;GPS 卫星同步时钟;FPGA;PCI 总线

**中图分类号:** V473;V556 **文献标识码:** A **doi:**10.3788/OPE.20101806.1436

## Time synchronization of integrated testing system of space camera

MU Xin<sup>1,2</sup>, HU Jun<sup>1</sup>, SONG Qi-chang<sup>1,2</sup>, CHEN Mao-sheng<sup>1,2</sup>, XU Shu-yan<sup>1</sup>

- (1. *Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China;*
2. *Graduate University of Chinese Academy of Sciences, Beijing 100039, China*)

**Abstract:** In order to improve the precision of time synchronization between the appropriate apparatuses of integrated testing system of a space camera, a means was designed. Based on the GPS satellite synchronous clock, it combined the serial time message and the second-pulse to adjust the time of appropriate apparatuses. The serial time message taken, second-pulse capture, internal punctual clock and the PCI local control logic modules were designed with the Field Programmable Gate Array (FPGA) and VHSIC Hardware Description Language (VHDL). Using the WDM based on Windows 2000/XP, the PCI driver was explored to communicate the time message in FPGA to the appropriate apparatus synchronously. A microsecond-delayed second-pulse was designed to serve as a substitute to prevent the time discontinuity caused by the power broken of GPS satellite synchronous clock when it was working. The test and experiment show that both the precision and accuracy of time synchronization have reached the microsecond range, which totally satisfies the requirement of the integrated tes-

收稿日期:2009-06-25;修订日期:2009-09-08.

基金项目:国家自然科学基金资助项目(No. 60507003)

ting system of space camera for adjusting time in real time.

**Key words:** space camera; time synchronization; GPS satellite synchronous clock; FPGA; PCI bus

## 1 引言

由于专用空间相机设计复杂,飞行应用前对其整体性能和可靠性进行测试是非常重要的。空间相机地面集成测试系统的主要功能是对测试数据的同步记录、分析和对状态的同步监控。通常,测试系统中的专用设备都以各自的操作系统时间为基准,应用程序通过系统函数将时间取出。以 Windows 操作系统为例,其时钟存在较大的时间漂移率及时间累积误差。测试结果表明,其误差达  $24 \text{ ms/h}^{[1]}$ 。即使在试验前进行统一校时,随着系统的长时间运行,各专用测试设备之间的时间误差在一天内仍会相差几秒钟,造成空间相机测试数据的回放、分析和评估出现很大的困难,甚至造成测试结果逻辑关系混乱。因此,地面集成测试系统中的时钟同步必须达到一定的精度,以实现空间相机的实时仿真测试和综合解析。

当前,国内外实现精确时钟同步的方法采用纯软件方法居多,软件方法必须考虑时钟同步过程中的网络传输延时、软件算法延时和时钟漂移3个主要因素<sup>[2]</sup>,同步精度受网络负载和CPU负载影响<sup>[3-4]</sup>,还存在网络传输中误码率的问题<sup>[5]</sup>,且需要频繁地进行时钟漂移补偿<sup>[6]</sup>,从而会增加CPU占用量。也有人采用有软硬件混合的方法来实现时钟同步,文献<sup>[7]</sup>的算法表明该方法占用网络带宽较多。文献<sup>[8]</sup>的时钟同步方法是用FPGA实现的,但由于涉及到以太网,还需解决网络通信与被授时设备工作的时间冲突问题;由于这种方法仍然采用Windows操作系统作为双方的控制核心,授时期间会影响被授时设备的正常工作,另外系统响应时间延迟等因素,影响被授时设备获取最终的时间同步精度。

本文提出了一种硬件对时的精确时钟同步策略来实现空间相机地面集成测试系统中各专用设备之间的时钟同步。即以GPS卫星同步时钟作为时钟源,利用秒脉冲周期性地给各专用设备对时。时间信息处理完全在FPGA内部完成,既不影响各专用设备的时间同步精度,又不干预专用设备应用程序正常工作。

## 2 精确时钟同步系统总体设计

### 2.1 精确时钟同步系统结构

空间相机地面集成测试系统包括GPS卫星同步时钟、各专用设备、集成仿真测试设备和集成仿真测试软件系统。其中专用设备是以计算机为控制核心,完成各种特殊功能的专用测试设备,集成仿真测试设备完成各专用设备测试数据的解析、综合统计和评价分析。精确时钟同步系统由GPS卫星同步时钟及安装在各设备上的时统卡组成。选用的卫星同步时钟以美国全球定位系统(GPS)为时间基准,对时精度达  $0.5 \mu\text{s}^{[9]}$ 。它有多路串行时间报文输出和差分电平秒脉冲信号输出,且各路信号完全并行,能够满足系统中各设备的对时要求。对时系统结构逻辑关系如图1所示。

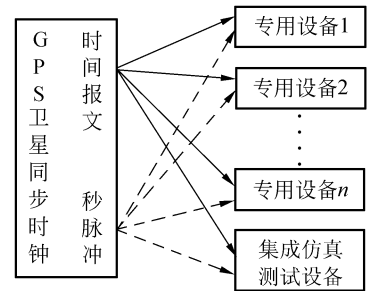


图1 精确时钟同步系统结构逻辑图

Fig. 1 Framework of precise time synchronization system

### 2.2 系统组成及工作原理

安装在各设备上的时统卡以现场可编程门阵列(FPGA)为核心元件,选用的FPGA芯片是Xilinx公司Spartan-3系列的XC3S400。它将逻辑、存储器、I/O管理及系统资源完美地结合在一起,且片内集成了288 kbit Block RAM和数字时钟管理(DCM),其丰富的资源满足系统设计需要。

精确时钟同步系统的工作原理为:首先由时统卡上的FPGA接收卫星同步时钟输出的串行时间报文(年月日时分秒),将此数据赋给年月日时分秒计数器作初始值,并以秒脉冲信号为基准

校准秒及以上的计数器;同时由时统卡上的晶体振荡器分频得到 0.1 ms 计数脉冲;然后将所有的时间信息存储到 FPGA 片内 RAM 中,0.1 ms 更新一次;最后,专用设备通过 PCI 总线将 RAM 中的时间信息读出。如图 2 所示。

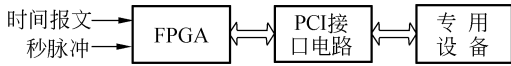


图 2 精确时钟同步系统原理图

Fig. 2 Block diagram of precise time synchronization system

### 3 电路设计及实现

应用硬件描述语言(VHDL),在 FPGA 内部设计串行时间报文及秒脉冲接收模块、内部守时功能模块、计数模块、双口 RAM 及 PCI 总线本地控制逻辑模块,如图 3 所示。其中串行时间报文接收模块在专用设备开机时自动接收一帧时间报文,并以此作为该设备的基准时间;随后由秒脉冲接收模块提取秒脉冲的准时沿,进行周期性对时。FPGA 内部产生的秒脉冲比卫星同步时钟输出的秒脉冲延时 15 μs,作为备用秒输入。计数模块由

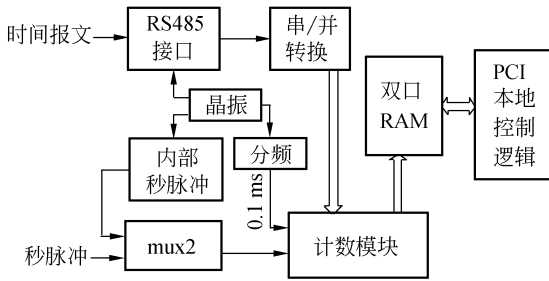


图 3 FPGA 模块结构图

Fig. 3 Module architecture in FPGA

秒脉冲触发各计数器,完成时间信息的累积记录。PCI 本地控制逻辑实现时统卡与专用设备之间的通信。

#### 3.1 时间报文及秒脉冲接收模块

GPS 卫星同步时钟输出的串行时间报文及秒脉冲对时信号均为 RS485 电平,因为 RS485 采用高输入阻抗,其发送器驱动能力比 RS232 更强,且有效传输距离为 500 m。时间报文及秒脉冲的输出频率都是每秒一次,时间报文的同步帧与秒脉冲的准时沿同时输出。地面集成测试系统中各专用设备每次开机时时统卡上的 FPGA 自动接收一帧时间报文,然后按照其通信协议对接收的一帧数据进行校验,校验正确则将此时间信息作为该设备的基准时间,随后不再接收时间报文,而由秒脉冲进行硬对时;否则继续接收时间报文,直到校验正确为止。在时间报文接收模块中还设计了一个“开关”,通过专用设备的应用程序控制可以随时再接收时间报文,使精确时钟同步系统更加智能化。

卫星同步时钟输出的秒脉冲准时沿为下降沿,其下降时间为 10 ns。采用时统卡上晶体振荡器提供的 48 MHz 时钟对秒脉冲进行采样,经反复测试观察,可以成功捕获秒脉冲的每个下降沿。

#### 3.2 计数模块

计数模块包括年、月、日、时、分、秒、毫秒、0.1 ms 计数器。其中年、月、日、时、分、秒计数器由接收的串行时间报文作为其初始值,0.1 ms 计数脉冲由晶体振荡器分频得到,0.1 ms 计数器为十进制计数器,其溢出信号作为毫秒的计数脉冲。当秒脉冲下降沿到来时,修改秒及以上的计数器,毫秒和 0.1 ms 计数器清零。各时间计数器关系如图 4 所示。

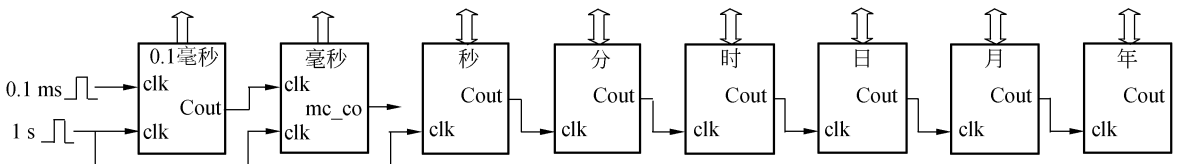


图 4 时间计数器关系图

Fig. 4 Relationship of time arithmetic meters

专用设备的时间准确度测试结果如图 5 所示,示波器 1 通道为 FPGA 输出的 0.1 ms 脉冲

波形;2 通道为卫星同步时钟输出秒脉冲的波形,下降沿为秒准时沿。图中纵向的两虚线间为 FP-

GA 自上一个秒脉冲下降沿之后的第 10 000 个 0.1 ms 脉冲,示波器测得其时间为  $91 \mu\text{s}$ ,即 FPGA 中毫秒实际为 999.991 ms 时收到卫星同步时钟的下一个秒脉冲,由此: $1000 - 999.991 = 0.009 \text{ ms}$ 。经反复测试,系统中的时间准确度  $\leq 10 \mu\text{s}$ 。

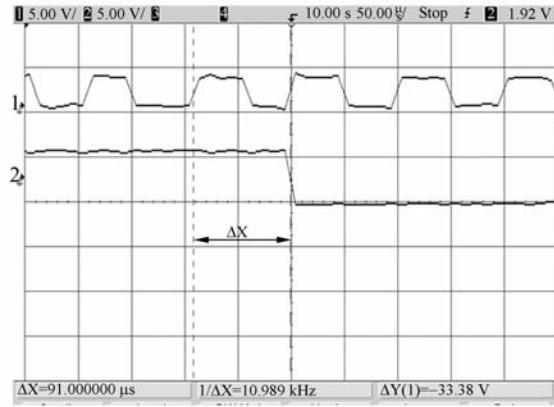


图5 FPGA 计时 1 s 与卫星同步时钟 1 s 的误差

Fig.5 Error between FPGA and satellite synchronous clock

精确同步时钟的时间信息存储在 FPGA 内部的双口 RAM 中<sup>[10]</sup>。一个端口作为时间信息的输入,每 0.1 ms 写入一次;另一个作为时间信息的输出,通过 PCI 总线由应用程序随机读出。采用双端口 RAM 存储数据可防止数据丢失或减少偶然错误时所带来的严重影响<sup>[11]</sup>。

### 3.3 FPGA 内部守时功能模块

为防止在系统工作时由于 GPS 卫星同步时钟意外断电或故障而引起的时间信息中断,突出设计了守时功能模块。由 FPGA 内部产生的秒脉冲比卫星同步时钟输出的秒脉冲延时  $15 \mu\text{s}$ 。当 FPGA 内毫秒计数器计到 1 000 ms(1 s)时,置溢出标志位  $\text{ms\_co}=1$ 。若  $\text{ms\_co}=1$  之后  $15 \mu\text{s}$  内没有检测到秒脉冲,则认为卫星同步时钟断电或故障而没有输出秒脉冲。此时,进入守时阶段,由 FPGA 内部产生的秒脉冲作为计数模块的秒输入,两种秒脉冲关系如图 6 所示。但是,当 FPGA 再次检测到卫星同步时钟的秒脉冲信号时,不能立刻将其作为计数模块的秒输入,因为在卫星同步时钟开机初始化阶段,其输出的秒脉冲是不规则的,波形如图 7 所示。 $t_1$  为卫星同步时钟关机时刻, $t_2$  为卫星同步时钟开机时刻, $t_3$  时刻之后卫星同步时钟输出的秒脉冲处于正常稳定状态。对于如何判断卫星同步时钟输出的秒脉冲已

经达到稳定状态,提出一种比较平均值算法:即检测到卫星同步时钟的秒脉冲信号幅值发生变化时,开始记录每两个下降沿的时间差: $T_1, T_2 \dots T_n$ 。以 10 个数据为一组,计算其平均值,若  $(\sum_{i=1}^{10} T_i)/10 \neq 1 \text{ s}$ ,则再记录下一组数据,直到  $(\sum_{j=n-9}^n T_j)/10 = 1 \text{ s} (n \geq 20)$  为止。此时,先接收时间报文,再将卫星同步时钟的秒脉冲接入电路。这样设计满足了时间信息的连续性。

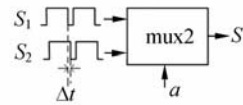


图6 内外两种脉冲选择示意图

Fig.6 Sketch map of the choice of two second-pulses

$S_1$  为卫星同步时钟输出的秒脉冲; $S_2$  为 FPGA 内部产生的秒脉冲; $S$  是作为计数模块输入的秒脉冲; $a$  为选择信号; $\Delta t = 15 \mu\text{s}$ 。

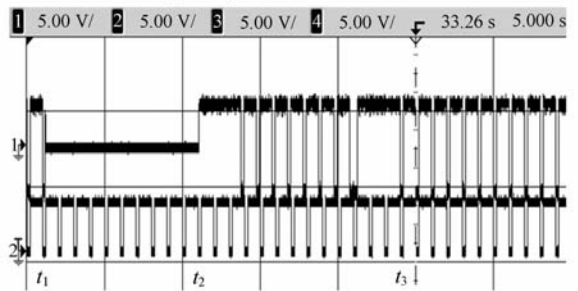


图7 卫星同步时钟初始化秒脉冲波形图

Fig.7 Waveform of second-pulse of satellite synchronous clock initializing

### 3.4 PCI 本地控制逻辑模块

PCI 总线是一种独立于处理器的局部总线。选用 PLX 公司的 PCI9054 作为总线接口芯片,它是 32 位/33 MHz 的通用 PCI 总线控制器,突发传输速率达 132 MB/s,本地总线支持复用/非复用的 32 位地址/数据<sup>[12]</sup>。根据传输数据的需要,将 PCI9054 设定为 C 模式,且 PCI 总线工作在从模式下。

由于有限状态机设计使得结构模式简单、方案固定,可以更好的提高工作效率,缩短时钟周期<sup>[13]</sup>。因此,参考 PCI9054 的 datasheet,采用 Moore 型有限状态机设计 PCI 的本地控制逻辑<sup>[14]</sup>。图 8 给出了 FPGA 控制 PCI9054 的状态转换图,采用 3 个 process 语句,即对应 3 个进程

来完成该状态机。一个用于状态机的同步时序部分,在本地时钟 clk 的上升沿到来时,将下一个状态赋给当前状态;一个用于描述状态转换;另一个用于描述输出的组合逻辑。

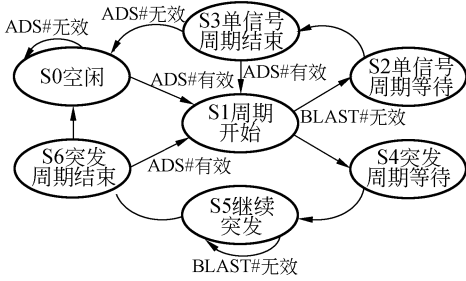


图 8 PCI9054 本地总线的状态转换图  
Fig. 8 State diagram of local bus for PCI9054

### 4 PCI 驱动程序设计

设备驱动程序提供连接到 PCI9054 的软件接口,其基本功能包括设备的初始化、对端口的读写操作、中断的设置和响应及调用,以及对 RAM 的直接读写等<sup>[15-16]</sup>。因为 PCI 总线支持即插即用,所以用 WDM 模型来设计驱动程序更加合理。利用 C 语言+DDK+Driverworks 进行驱动程序开发,其结构框架如图 9 所示。

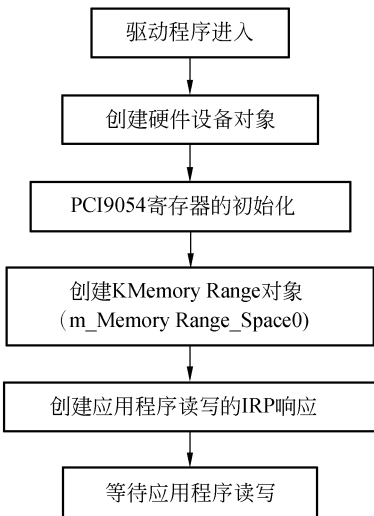


图 9 PCI 驱动程序结构框架  
Fig. 9 Framework of PCI driver

应用程序读操作的 IRP 响应代码如下:  
读取 RAM 时间数据的存储变量的定义:  
typedef struct \_KS\_PASSTHRU\_CON {

```

    ULONG Length; //数据长度
    ULONG Data[MAXDATALEN]; //存储时间数据
    ULONG Add; //相对起始地址
} KS_PASSTHRU_CON, * PKS_PASSTHRU_CON;
驱动程序内部读取本地 RAM 中的时间数据函数:
NTSTATUS TimerDriverDevice:: SPACE0_IOCTL_HANDLER(KIrp Irp)
{
    NTSTATUS status = STATUS_SUCCESS;
    PKS_PASSTHRU_CON pInput = static_cast<PKS_PASSTHRU_CON>(I. IoctlBuffer());
    long realLength = 0; //读取时间数据的长度
    if(pInput->Length > MAXDATALEN) realLength = MAXDATALEN;
    else realLength = pInput->Length;
    //读取时间数据
    m_MemoryRange_Space0.ind((pInput->Add), pInput->Data, realLength);
    pInput = (PKS_PASSTHRU_CON)I. IoctlBuffer();
    I.Information() = sizeof(KS_PASSTHRU_CON);
    return status;
}
  
```

### 5 同步精度测试

#### 5.1 误差分析

根据上文分析的同步时钟工作原理,只考虑地面集成测试系统内部的时钟同步,而不追求与世界协调时一致。可以认为引起时钟同步精度的误差主要由晶体振荡器误差造成。实验中选用精度为  $\pm 1 \times 10^{-5}$  的 48 MHz 晶体振荡器,设其输出的实际频率为  $W_1$ ,则可由公式(1)表示:

$$\frac{W_1 \pm 48}{48} \times 1 = \delta_1, \tag{1}$$

$\delta_1 = \pm 1 \times 10^{-5}$ , 计算得:  $W_1 = 48 \pm 0.00048$  MHz。

又:  $1 - \frac{48 \times 10^6}{48 \times 10^6 \pm 480} \approx \pm 0.00001$  s, 即 1 s 内晶

振的最大误差为 $\pm 10 \mu\text{s}$ 。

## 5.2 测试结果与分析

为了验证基于GPS卫星同步时钟及FPGA的精确时钟同步方法的有效性,在空间相机地面集成测试系统中完成了该实验。系统正常工作时启动了1553B总线通信、RS422通信、电源监控、热控、偏流调焦及遥测量等设备,构成一个分布式测试系统。各设备并行工作,实现不同的功能,共同完成对空间相机测试的任务。具体的实验方法是将各专用设备分别安装时统卡,在地面集成测试系统正常工作时,首先选取1553B设备和RS422设备进行同步时钟精度测试,安捷伦示波器的1、2通道连接到两台设备时统卡的 $0.1 \text{ ms}$ 计数脉冲信号引脚上,3、4通道连接到卫星同步时钟输出的秒脉冲信号引脚上。如图10所示,两纵向虚线间的时间差 $\Delta t = 7.4 \mu\text{s}$ ,即为两块时统

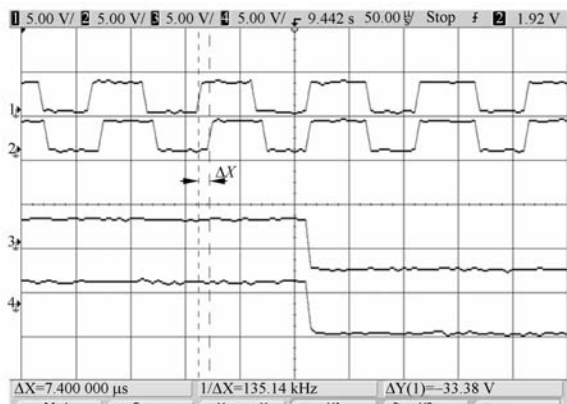


图10 同步精度测量结果图

Fig. 10 Testing result of synchronous precision

卡之间在此 $1 \text{ s}$ 内的最大累积误差,下 $1 \text{ s}$ 开始时此误差为零。再将系统中的其他设备进行两两测试,测量结果 $\Delta t_{\min} = 6.8 \mu\text{s}$ , $\Delta t_{\max} = 10 \mu\text{s}$ 。

从测试结果可以很清楚地看出专用设备之间的同步时间精度 $\leq 10 \mu\text{s}$ ,在上述分析的晶振误差范围之内,且同步精度不受运行时间影响。地面测试系统要求的综合时间同步精度为 $0.5 \text{ ms}$ ,因此,设定时统卡上时间分辨率为 $0.1 \text{ ms}$ ,在此分辨率下,对于时间同步精度 $10 \mu\text{s}$ 的误差是远远满足要求的。综上,该时钟同步系统保证了专用设备获取时间的准确性,有利于提高分布式系统下多种数据综合分析的可靠性。

## 6 结论

本文应用GPS卫星同步时钟和FPGA设计的硬件对时方法使空间相机地面集成测试系统达到一定精度的时钟同步,满足了各项测试数据在时间逻辑上的正确性。实验结果表明:设计的同步时钟精度 $\leq 10 \mu\text{s}$ ,时间准确度 $\leq 10 \mu\text{s}$ ,不仅满足了空间相机集成测试系统综合时间同步精度 $0.5 \text{ ms}$ 的指标要求,而且不影响各设备应用程序的正常工作,不会加重系统网络负载。经半年实践证明:该时钟同步设计方法可应用到其它分布式系统中,解决处理器之间通信及同步控制的时间问题,节省网络通信所需资源的开销,提高系统的实时响应速度和分布式系统性能,具有很好的应用前景和使用价值。

## 参考文献:

[1] 薛芳侠,姚益平,谢虹,等. 分布交互式仿真中的高性能时钟设计问题研究[J]. 计算机仿真, 2006, 23(5): 115-118.  
XUE F X, YAO Y P, XIE H, et al.. Design of high performance clock used in distributed interactive simulation system [J]. *Computer Simulation*, 2006, 23(5): 115-118. (in Chinese)

[2] THOMAS S Z, CHARBIWALA J, FRIEDMAN Y H, et al.. Exploiting manufacturing variations for compensating environment-induced clock drift in time synchronization [J]. *Performance Evaluation Review*, 2008, 36(1): 428-431.

[3] WU W J, QIN D X, DONG W. Research on time-synchronization-based test and control system of aeroengine [J]. *Journal of Electronic and Technology of China*, 2004, 2(4): 64-67.

[4] 邵云滨,祁晓野. 飞机管理系统分布式仿真平台[J]. 机床与液压, 2008, 36(10): 148-150.  
SHAO Y B, QI X Y. Distributed simulation platform for vehicle management system [J]. *Machine Tool & Hydraulics*, 2008, 36(10): 148-150. (in Chinese)

[5] HYOUNGWON K, POONGUP L, ABHISHEK R, et al.. Dynamic maintenance method of timing synchronization for soft handover [C]. *The eleventh Conference on Advanced Communication Technolo-*

- gy, Gangwon-Do, Korea: ICACT, 2009: 428-431.
- [6] 刘鲁源, 王晓欣, 刘昆, 等. 分布式系统高精度时钟同步算法及其实现[J]. 天津大学学报, 2006, 39(8): 923-927.  
LIU L Y, WANG X X, LIU K, *et al.*. High-precision clock synchronization algorithm for distributed system and its realization [J]. *Journal of Tianjin University*, 2006, 39(8): 923-927. (in Chinese)
- [7] 王刚, 黄飞, 乔纯捷, 等. 分布式网络时钟同步研究[J]. 仪器仪表学报, 2008, 29(11): 2399-2403.  
WANG G, HUANG F, QIAO CH J, *et al.*. Research of clock synchronization in distributed network [J]. *Chinese Journal of Scientific Instrument*, 2008, 29(11): 2399-2403. (in Chinese)
- [8] 黄文君, 遇彬. 基于 FPGA 的精确时钟同步方法[J]. 浙江大学学报(工学版), 2007, 41(10): 1697-1700.  
HUANG W J, YU B. Method for precise time synchronization based on FPGA [J]. *Journal of Zhejiang University (Engineering Science)*, 2007, 41(10): 1697-1700. (in Chinese)
- [9] 张丽伊. GPS 卫星时钟同步系统在综自变电站中的应用[J]. 科技信息, 2008, 17: 34-35.  
ZHANG L Y. The application of GPS in substation integrated automation system [J]. *Science & Technology Information*, 2008, 17: 34-35. (in Chinese)
- [10] VOLNEI A P. 数字电路设计教程[M]. 北京: 电子工业出版社, 2005.  
VOLNEI A P. *Circuit Design with VHDL* [M]. Beijing: Publishing House of Electronics Industry, 2005. (in Chinese)
- [11] 王晓东, 刘文耀, 金月寒, 等. 基于 DSP 和 CPLD 的激光雷达图像采集和显示集成系统[J]. 光学精密工程, 2004, 12(2): 190-194.  
WANG X D, LIU W Y, JIN Y H, *et al.*. Laser radar image acquisition and display integrated system based on DSP and CPLD [J]. *Opt. Precision Eng.*, 2004, 12(2): 190-194. (in Chinese)
- [12] 李贵山, 陈金鹏. PCI 局部总线及其应用[M]. 西安: 西安电子科技大学出版社, 2003.  
LI G SH, CHEN J P. *PCI Local Bus and Applications* [M]. Xi'an: Xidian University Press, 2003. (in Chinese)
- [13] 林若波. 基于 VHDL 的有限状态机电路设计[J]. 中国水运, 2007, 5(9): 210-212.  
LIN R B. Based on VHDL limited state machine circuit design [J]. *China Water*, 2007, 5(9): 210-212. (in Chinese)
- [14] 梁俊. 基于 PXI 总线伺服控制器的研究及应用[D]. 北京: 中国科学院研究生院, 2006.  
LIANG J. *Research and Application of Servo Control Card based on PXI Bus* [D]. Beijing: Graduate School of the Chinese Academy of Sciences, 2006. (in Chinese)
- [15] 袁晓兵, 张新, 王沛, 等. PCI 总线数据采集卡 Windows NT 驱动程序的设计[J]. 光学精密工程, 2001, 9(1): 89-92.  
YUAN X B, ZHANG X, WANG P, *et al.*. Device driver programming in Windows NT for PCI data acquisition card [J]. *Opt. Precision Eng.*, 2001, 9(1): 89-92. (in Chinese)
- [16] 武安河. Windows 2000/XP WDM 设备驱动程序开发[M]. 北京: 电子工业出版社, 2005.  
WU A H. *Windows 2000/XP WDM Device Driver Development* [M]. Beijing: Publishing House of Electronics Industry, 2005. (in Chinese)

#### 作者简介:



穆欣(1984—),女,吉林长春人,博士研究生,2007年于长春理工大学获得学士学位,主要研究方向为空间相机测试技术、空间对地图像处理技术。E-mail: muxin198403@163.com

#### 通讯作者:



胡君(1952—),男,吉林蛟河人,高级工程师,硕士生导师,1980年于吉林大学计算机科学系,主要研究方向为智能控制与信息处理、空间光学遥感器仿真测试技术等。E-mail: huj@ciomp.ac.cn



宋启昌(1983—),男,河南濮阳人,硕士研究生,2007年于东北师范大学获得学士学位,主要研究方向为计算机网络通信技术。E-mail:songqichang8301@163.com



陈茂胜(1985—),男,江苏盐城人,博士研究生,2007年于南京理工大学获得学士学位,主要研究方向为空间相机测试技术、卫星姿态控制。E-mail:chenms0911@yahoo.com.cn

#### 导师简介:



徐抒岩(1963—),男,辽宁岫岩人,研究员,博士生导师,1985年于天津大学获得学士学位,1989年于中科院长春光学精密机械与物理研究所获得硕士学位,主要研究方向为空间光学成像电子技术。E-mail:xusy@ciomp.ac.cn

#### ●下期预告

## 变结构 PID 及其在大型望远镜速度控制中的应用

张斌<sup>1,2</sup>,李洪文<sup>1</sup>,郭立红<sup>1</sup>,孟浩然<sup>1</sup>,王建立<sup>1</sup>,阴玉梅<sup>1</sup>

(1.中国科学院 长春光学精密机械与物理研究所,吉林 长春 130033;

2.中国科学院 研究生院,北京 100039)

为了满足大型望远镜对速度控制响应、超调量、稳态精度和运行速度的要求,在分析经典 PID 控制算法的基础上,提出一种变结构 PID 控制器。构造了以控制误差为自变量的比例增益、积分增益、积分变增益和微分增益等函数,通过这些函数,变结构 PID 能够根据瞬时误差实时改变其结构和参数。针对某大型望远镜的传递函数模型,仿真验证了变结构 PID 的作用,比较了经典 PID 与变结构 PID 的控制性能,同时在该望远镜上进行了实验。实验数据表明,望远镜能够以最大加速度达到期望速度,并且无速度超调;以  $20^\circ/\text{s}$  运行时的最大稳态误差为  $0.0167''/\text{s}$ ,以  $10''/\text{s}$  运行时的最大稳态误差为  $0.7''/\text{s}$ 。仿真和实验结果证明:基于变结构 PID 控制器的速度控制系统满足大型望远镜的要求。